

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-42920

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)3月1日

H 01 L 21/31

7739-5F

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 モノリシック半導体集積回路

⑯ 特 願 昭60-165631

⑰ 出 願 昭60(1985)7月26日

優先権主張 ⑱ 1984年7月31日 ⑲ 西ドイツ(DE) ⑳ P3428235.1

㉑ 発 明 者 ハルトムート、シユレ ドイツ連邦共和国ハール、ファザーネンベーク22
ンク㉒ 出 願 人 シーメンス、アクチエ ドイツ連邦共和国ベルリン及ミュンヘン(番地なし)
ンゲゼルシャフト

㉓ 代 理 人 弁理士 富 村 潔

明 細 書

1. 発明の名称 モノリシック半導体集積回路
2. 特許請求の範囲
 - 1) シリコン基板、能動層、その上に設けられた表面安定化層およびケースを備えるモノリシック半導体集積回路において、半導体回路が少くとも電気的能動構造(2)の上において表面安定化層(3)上に設けられた少くとも1つの導電性の保護層(4、4a)によって被覆されていることを特徴とするモノリシック半導体集積回路。
 - 2) 保護層(4、4a)が表面安定化層(3)を貫通して能動層(2)内にある回路部分に少くとも1個所で導電結合されていることを特徴とする特許請求の範囲第1項記載の回路。
 - 3) 保護層(4、4a)が電気結合部品として1つの安全論理回路内に組み込まれていることを特徴とする特許請求の範囲第1項又は第2項記載の回路。

- 4) 保護すべき回路の機能にとって重要な信号を送り込むものとして少くとも2つの互に無関係であり入力側が1つの論理素子(8)に結ばれた保護層(4、4a)を備えていることを特徴とする特許請求の範囲第1項乃至第3項の1つに記載の回路。
 - 5) 表面安定化層(3)に明けられている保護層(4、4a)への貫通接触孔(K1、K2、K3、K4)が例えばソルダによって1つだけの貫通接触に対して外部からの接触の形成が阻止される空間配置となつていることを特徴とする特許請求の範囲第1項乃至第4項の1つに記載の回路。
3. 発明の詳細な説明
〔産業上の利用分野〕
- この発明は、シリコン基板、能動層、能動層上の表面安定化層およびそれらを取容するケースを備えるモノリシック集積半導体回路に関するものである。

特開昭61-42920(2)

〔従来の技術〕

よく知られているようにMOS回路は、半導体基板に対して所望の構造化を実施するいくつかの工程段階によつて製作される。従つてこれを逆に言えば基板に作られた構造を分析することにより回路の機能と特性を推定することができる。又光学的分析は顕微鏡を使用して可能である。これによつて例えばROMに記憶されている情報も知ることができる。電気的にプログラミング可能なメモリ(E²PROM)の場合記憶内容は、例えばメモリの充電状況を電子ビームで走査し電位コントラストを調べることによつて電気的分析が可能である。必然的にメモリに接続された周辺論理素子に及ぼされるメモリ状態の反作用を通しての間接的分析も除外できない。その一例はメモリアドレスの調整後に行われる列導線の電位測定である。しかしこの種の測定は表面が完全に開放されていて電気光学的走査が可能であることが前提となる。

挙げた構造とすることによつて達成される。この発明の種々の実施形態は特許請求の範囲第2項以下に示されている。

〔実施例〕

次に実施例についてこの発明を更に詳細に説明する。

第1図と第2図はそれぞれ図式化されたシリコンゲート技術による集積MOS回路の構成を示す。第1図において1は100 μm を単位とする厚さのシリコン結晶基板であり、その表面は数 μm 厚さの能動領域層2で覆われ、この層にトランジスタ、コンデンサ、抵抗および導体路等の電氣的に重要なアルミニウム又はポリシリコンの構造が作られている。能動領域の上面は例えば窒化シリコンから成る電気絶縁性の表面安定化層3によつて機械的ならびに電氣的に保護され、その上にこの発明により保護層4が設けられる。最後に回路全体はケース材料5で包まれる。保護層4は導体表面を形成し、その下にある能動層2内の回路部

しかし集積回路特にメモリ回路の応用分野によつては制限のない者に対して回路とメモリ内容の分析が許されないことがある。その例としては安全系、アクセス系、決算ならびに記録系およびデビットならびにクレジット系等が挙げられる。これらの場合にはチップカードが使用され、各カードにはデータがメモリされカードの使用に先立つてこのデータが検査され、不正使用を阻止する。更に各チップは特殊の安全論理素子を設けてメモリの読み出しを阻止するか、あるいは読み出しをある種の解放操作に関係させることができる。不正な意図をもつて回路又はメモリ内容の分析が行われると系の信頼性が損われる。

〔発明が解決しようとする問題点〕

この発明の目的は上記の集積回路において回路自体とその接続状態の電氣的解析が阻止されるようにすることである。

〔問題点の解決手段〕

この目的は特許請求の範囲第1項に特徴として

分を総ての電氣的解析に対して保護する。この層はその下の層に固く結合されているので、回路の電氣的機能の破壊を防止する。特に外部接触の損傷又は破壊が避けられる。

第2図、第3図および第4図にはこの発明の1実施例が示されている。この実施例では保護層4、4aが能動導体路として安全論理素子に組み込まれ、保護層4、4aを除去すると下にある保護領域8に対する回路の機能が停止する。この種の装置は基板又はフィルム上に集積回路を組立てる際の“突起物利用技術”によつて作ることができる。この突起物によつて例えばチップが直接基板にはんだ付けされる。突起形成過程において例えば銅その他の金属から成る保護層4も突起によつて絶縁されて基板上に置かれ、その下にある保護すべき回路の配置に応じて構造化される。突起形成に必要な表面安定化層に接触窓をあける写真食刻技術も同様に利用される。

第2図はこの発明によつて構造化された回路の

特開昭61-42920(3)

断面を示すのに対して、第3図には回路の平面図を示す。K1、K2、K3、K4は表面安定化膜を貫通する接触孔である。

第4図には安全論理素子と呼ばれている回路に保護層4、4aが組み込まれる状況が示されている。導体SP1、SP2は例えば読出し増幅器V1、V2を含むメモリフィールドの不正読出しを防止する内部列導体であつて、メモリフィールドに対する正規のアクセスに際してはSP1、SP2に挿入されたトランジスタT1、T2が制御信号LESによつて阻止される。これが起らない場合には両方の列導体は論理"0"に固定される。

この発明による保護層はこの制御信号LESをトランジスタT1、T2に伝えるもので、接触孔K4とK3の間にある保護層4は保護すべきメモリフィールドを被覆する。導体路として接触孔K1とK2の間にある別の保護層4aには反転制御信号LESが加えられ、保護層4を例えばエッチングにより選択的に不正除去する試みに対する

付加的の保護手段となつている。保護層4、4aのいかなる破断もそれらに結ばれている論理素子8(NAND回路)を通して両トランジスタT1、T2の導通に導く。

第3図に示すように接触孔K1、K2およびK3は空間的に近接して配置され、例えばエッチング後に測定針による接触が困難になつている。両方の保護層4と4aの間に電氣的接触が生ずると、後に続く論理素子によりトランジスタT1、T2が導通する。

4. 図面の簡単な説明

第1図はこの発明の対象となる集積半導体回路の構成を図式的に示し、第2図、第3図および第4図はこの発明の実施例を示す。第2図において、

2... 能動領域、 3... 表面安定化膜、 4... 保護層。

(6178) 代理人 井原士 富村



FIG 1

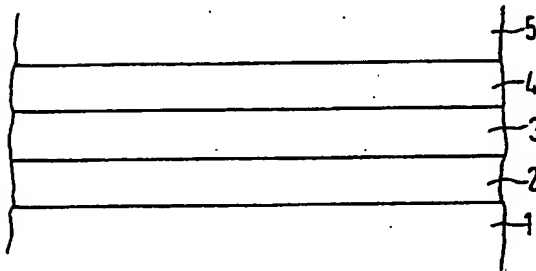


FIG 2

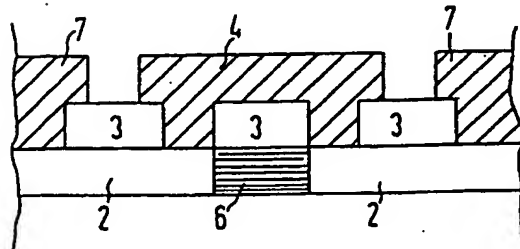


FIG 3

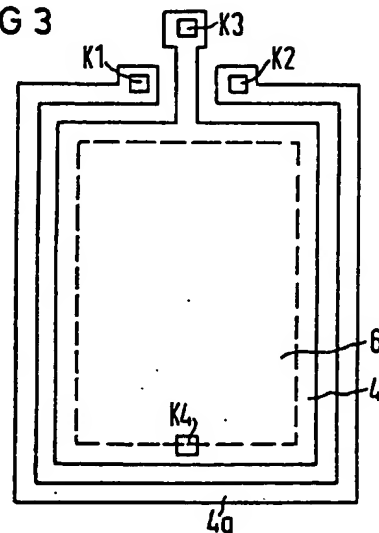


FIG 4

